



2271/64016
S/n. 09/761,122

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: January 28, 2000

Application Number: Japanese Patent Application
No. 2000-020130

Applicant(s): RICOH COMPANY, LTD.

RECEIVED
MAR 21 2001
Technology Center 2600

RECEIVED
MAR 21
Technology Center 2600

January 5, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3109027



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月28日

出 願 番 号
Application Number:

特願2000-020130

出 願 人
Applicant (s):

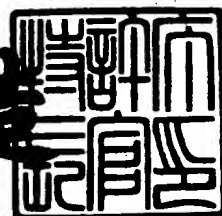
株式会社リコー

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 9906882

【提出日】 平成12年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/66
G06F 15/16

【発明の名称】 並列プロセッサ及びそれを用いた画像処理装置

【請求項の数】 11

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー
内

【氏名】 山浦 慎一

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー
内

【氏名】 原 和彦

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー
内

【氏名】 片山 貴雄

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー
内

【氏名】 岩永 和彦

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー
内

【氏名】 高藤 浩資

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代表者】 桜井 正光

【代理人】

【識別番号】 100085213

【弁理士】

【氏名又は名称】 鳥居 洋

【手数料の表示】

【予納台帳番号】 007320

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808857

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 並列プロセッサ及びそれを用いた画像処理装置

【特許請求の範囲】

【請求項 1】 プログラムを解読しプロセッサ全体を制御するグローバルプロセッサと、データを処理するプロセッサエレメントを複数個備えて構成されるプロセッサエレメントブロックと、を有する並列プロセッサにおいて、各プロセッサエレメントは、演算部と、複数のレジスタを有するレジスタファイルと、演算結果フラグと、を備え、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからのデータを同時に格納させることを特徴とする並列プロセッサ。

【請求項 2】 演算対象データと変換前データを演算部で比較し、両データが一致すると前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの変換後データを同時に格納させることを特徴とする請求項 1 に記載の並列プロセッサ。

【請求項 3】 演算対象データと変換前データを演算部で比較し、演算対象データが大きい場合に前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの変換後データを同時に格納させることを特徴とする請求項 1 に記載の並列プロセッサ。

【請求項 4】 前記テーブルメモリと前記レジスタファイルのレジスタと接続するデータ転送バスと、前記データ転送バスからレジスタへのデータ転送を制御するコントロール手段と、を備え、前記コントロール手段は前記グローバルプロセッサからの制御信号と演算結果フラグの条件に応じてデータ転送バスからデータをレジスタに取り込むこと特徴とする請求項 1 ないし 3 のいずれかに記載の並列プロセッサ。

【請求項 5】 前記変換後データは変換前データから連続した 2^n (n は整数) のデータとして 2^n 個のテーブルバスから 2^n 個のレジスタに同時に書き込まれることを特徴とする請求項 4 に記載の並列プロセッサ。

【請求項 6】 前記プロセッサエレメントに内蔵されるテーブルメモリからのデータを同時に格納することが可能な複数のレジスタは各プロセッサエレメントにおける演算対象データとしても使用可能に構成されていることを特徴とする請求項 1 ないし 5 のいずれかに記載の並列プロセッサ。

【請求項 7】 複数のレジスタに格納するテーブルメモリのデータはグローバルプロセッサに内蔵されるメモリに格納されており、このメモリはグローバルプロセッサ演算でのデータ保存用のメモリにも使用可能であることを特徴とする請求項 1 ないし 6 のいずれかに記載の並列プロセッサ。

【請求項 8】 複数のプロセッサエレメントがアレイ状に設けられた並列プロセッサに F I F O を介して画像データが入力され、入力された画像データを並列演算処理し、演算処理された画像データが F I F O を介して並列プロセッサ外部に出力される画像処理装置であって、前記並列プロセッサの各プロセッサエレメントは、演算部と、複数のレジスタを有するレジスタファイルと、演算結果フラグと、を備え、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの非線形処理の変換後データを同時に格納し、非線形処理された画像データが外部に出力されることを特徴とする画像処理装置。

【請求項 9】 演算対象データと変換前データを演算部で比較し、演算対象データが大きい場合に前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの変換後データを同時に格納させることを特徴とする請求項 8 に記載の画像処理装置。

【請求項 1 0】 前記テーブルメモリと前記レジスタファイルのレジスタと接続するデータ転送バスと、前記データ転送バスからレジスタへのデータ転送を制御するコントロール手段と、を備え、前記コントロール手段は前記グローバルプロセッサからの制御信号と演算結果フラグの条件に応じてデータ転送バスからデータをレジスタに取り込むこと特徴とする請求項 8 または 9 に記載の画像処理装置。

【請求項 1 1】 前記変換後データは変換前データから連続した 2^n (n は

整数) のデータとして 2^n 個のテーブルバスから 2^n 個のレジスタに同時に書き込まれることを特徴とする請求項 10 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、例えば、デジタル複写機やファクリミリ装置等の画像データのデジタル処理等に用いられる並列プロセッサに関するものであり、特に画像データの非線形変換処理に用いられる SIMD (Single Instruction Stream Multiple Data Stream) 型マイクロプロセッサ及びそれを用いた画像処理装置に関するものである。

【0002】

【従来の技術】

近年、デジタル複写機やファクリミリ装置等の画像処理装置において、画素数を増加したり、或いはカラー対応にするなど画像の向上が図られている。そして、この画像の向上に伴い、処理すべきデータ数が増加している。ところで、複写機等の画像処理装置におけるデータ処理は全ての画素に対して同じ演算処理を施すことが多い。そこで、1つの命令で複数のデータに対して同時に同じ演算処理を行う SIMD 方式のプロセッサが用いられるようになっている。

【0003】

上記したように、SIMD 型マイクロプロセッサでは 1つの命令で複数のデータに対して同時に同じ演算処理が実行可能である。ここで、通常の演算処理は複数の演算器を並べ同じ演算を同時に複数のデータに対して実行することで実現できる。しかし、画像処理においては、演算処理が式で表すことができない非線形な処理を行うことが多い。演算処理が式で表すことができない非線形な処理は演算対象のデータによって演算式が変更となるため同じ処理を同時に実行できない。したがって、データ毎の逐次処理となり SIMD 方式の効果が無くなってしまう。

【0004】

通常の SISD 方式のプロセッサにおいても演算データにより演算式が変更と

なる非線形処理はプログラムが非常に複雑になるため、演算前データに対して演算後の処理済みデータを全て準備しておきテーブル化し、演算データを元にテーブル変換を行い演算後データを得る方式が一般的である。具体的にはRAM上にテーブルを持ち演算前データにテーブルの先頭の番地を加算した値をアドレスポインタとしてRAMから得られたデータを演算後のデータとしている。

【0005】

演算データが8ビットの場合には256バイトの変換テーブルが必要となるが演算ビット幅の増加とともにテーブルのサイズは2のべき乗で増加するため演算ビット幅が大きい場合は演算データを任意の区間に分けてその区間での近似式をテーブルとして持つ場合もある。

【0006】

【発明が解決しようとする課題】

さて、このテーブル変換をSIMD型マイクロプロセッサで採用する場合にはそれぞれの演算単位でテーブルが必要となる。例えば、256個のプロセッサエレメント(PE)を有するSIMD型プロセッサで8ビットのテーブル変換を行う場合には256バイトのテーブルRAMがそれぞれの演算単位つまり256個必要となりコスト面が増大する問題があった。そのため、SIMD型マイクロプロセッサのテーブル変換に対して数々の方式が考案されている。

【0007】

特開平5-67203号公報においては、各SIMD単位のPE内蔵の出力レジスタから演算前データを順次外部に出力し、外部で逐次にテーブル変換を行い、変換後のデータをPE内蔵の入力レジスタに順次入力する方式が提案されている。この方式では、変換テーブルが1個となるためコストの上昇は抑えられるが、逐次処理であるため演算処理時間は最低でもPE数だけかかってしまい演算速度面で不利であった。また、この変換処理をPEでの通常処理と並行に実行すれば演算処理時間はトータルとして削減できるが、入力・出力のレジスタがこの変換作業専用で使用され他の用途に使用できない、変換処理後のデータが必要な場合には演算処理時間だけ待つこととなり並行処理が不可能であるといった問題があった。

【 0 0 0 8 】

また、特開平 9 - 3 0 5 5 5 0 号公報においては、各プロセッサエレメント（P E）毎に非線形変換テーブルの元データと変換対象データとの比較を行う比較器を設け、この比較器で両データを比較し、一致した P E には変換後のデータを格納し、この値を演算後データとする方式が提案されている。この場合には演算処理時間は演算前データの取りうる値の組み合わせ（変換テーブルのワード数）となるため、P E 数よりこのワード数が少ない場合には高速化される。8 ビットデータの場合では P E 数によらず 2 5 6 回程度のサイクル数となる。この場合においても演算処理時間が長い問題がある。また、他の処理と並行に行った場合には、上記した特開平 5 - 6 7 2 0 3 号公報と同じ問題を持っている。

【 0 0 0 9 】

さらに、特許番号第 2 8 1 2 2 9 2 号においては、P E 数と同数の出力ポートを持つ変換テーブル用の R A M に対して、それぞれの P E から演算前データをアドレスポインタとして与えることで演算後データを得る方法が提案されている。この方式においては、変換速度は 1 サイクル程度で終了するが、出力ポートの増加は R A M のコストを押し上げることとなり、特に数 1 0 個を超えるポートを持つことは実現不可能である。したがって、P E 数が多い S I M D 型プロセッサに対応できないという問題があった。

【 0 0 1 0 】

上記したように、従来技術においては、S I M D 型マイクロプロセッサのテーブル変換に代表される非線型処理は S I M D 型の最大の特徴である並列処理が困難であるため数々の方式が考案されているが、それらは、入出力レジスタを介した方法、専用のコンパレータを使用したもの、専用テーブル用メモリを使用したものであり、速度・コストのいずれかの面で問題があった。

【 0 0 1 1 】

すなわち、特開平 5 - 6 7 2 0 3 号公報は、出力レジスタからデータを出力し外部テーブルメモリのアドレスとして入力、メモリから出力されたデータを変換後のデータとして入力シフトレジスタから入力する。全データの変換には P E 数以上のサイクルが必要であり処理時間が長い問題がある。また、テーブルメモリ

は専用のものとなり、さらに入力シフトレジスタ、入力シフトレジスタはテーブル変換専用を使用されることとなる。

【 0 0 1 2 】

また、特開平 9 - 3 0 5 5 5 0 号公報は、各 P E に変換前データの比較器を設け、外部から変換前データと変換後データを入力し変換前データと一致した P E だけに変換後のデータを格納する。変換前データのデータ数だけのサイクル数が必要であり、さらに専用の比較器が必要である。

【 0 0 1 3 】

さらに、特許番号第 2 8 1 2 2 9 2 号では、テーブルメモリの出力ポート数を P E 数だけ用意してテーブル変換を行う。変換速度は最も速いがメモリのポート数が非常に多いためコストが高くなる。P E 数が数 1 0 個までしか実現できないと思われる。

【 0 0 1 4 】

この発明は、上述した従来の問題点を解決するためになされたものにして、非線形処理を効率よく実現することができる並列プロセッサを提供することを課題とする。

【 0 0 1 5 】

【課題を解決するための手段】

この発明は、プログラムを解読しプロセッサ全体を制御するグローバルプロセッサと、データを処理するプロセッサエレメントを複数個備えて構成されるプロセッサエレメントブロックと、を有する並列プロセッサにおいて、各プロセッサエレメントは、演算部と、複数のレジスタを有するレジスタファイルと、演算結果フラグと、を備え、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからのデータを同時に格納させることを特徴とする。

【 0 0 1 6 】

演算対象データと変換前データを演算部で比較し、両データが一致すると前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テ

ブルメモリからの変換後データを同時に格納させるように構成することができる。

【0017】

また、演算対象データと変換前データを演算部で比較し、演算対象データが大きい場合に前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも1つのレジスタに、テーブルメモリからの変換後データを同時に格納させるように構成することができる。

【0018】

さらに、この発明は、前記テーブルメモリと前記レジスタファイルのレジスタと接続するデータ転送バスと、前記データ転送バスからレジスタへのデータ転送を制御するコントロール手段と、を備え、前記コントロール手段は前記グローバルプロセッサからの制御信号と演算結果フラグの条件に応じてデータ転送バスからデータをレジスタに取り込むように構成することができる。

【0019】

また、前記変換後データは変換前データから連続した 2^n （ n は整数）のデータとして 2^n 個のテーブルバスから 2^n 個のレジスタに同時に書き込むように構成することができる。

【0020】

また、この発明は、前記プロセッサエレメントに内蔵されるテーブルメモリからのデータを同時に格納することが可能な複数のレジスタは各プロセッサエレメントにおける演算対象データとしても使用可能に構成することができる。

【0021】

また、この発明は、複数のレジスタに格納するテーブルメモリのデータはグローバルプロセッサに内蔵されるメモリに格納されており、このメモリはグローバルプロセッサ演算でのデータ保存用のメモリにも使用可能に構成することができる。

【0022】

また、この発明の画像処理装置は、複数のプロセッサエレメントがアレイ状に

設けられた並列プロセッサに F I F O を介して画像データが入力され、入力された画像データを並列演算処理し、演算処理された画像データが F I F O を介して並列プロセッサ外部に出力される画像処理装置であって、前記並列プロセッサの各プロセッサエレメントは、演算部と、複数のレジスタを有するレジスタファイルと、演算結果フラグと、を備え、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの非線形処理の変換後データを同時に格納し、非線形処理された画像データが外部に出力されることを特徴とする。

【 0 0 2 3 】

また、演算対象データと変換前データを演算部で比較し、演算対象データが大きい場合に前記演算結果フラグに条件成立としてのフラグがセットされ、演算結果フラグの内容が同じである複数のプロセッサエレメントの少なくとも 1 つのレジスタに、テーブルメモリからの変換後データを同時に格納させるように構成することができる。

【 0 0 2 4 】

また、前記テーブルメモリと前記レジスタファイルのレジスタと接続するデータ転送バスと、前記データ転送バスからレジスタへのデータ転送を制御するコントロール手段と、を備え、前記コントロール手段は前記グローバルプロセッサからの制御信号と演算結果フラグの条件に応じてデータ転送バスからデータをレジスタに取り込むように構成することができる。

【 0 0 2 5 】

前記変換後データは変換前データから連続した 2^n (n は整数) のデータとして 2^n 個のテーブルバスから 2^n 個のレジスタに同時に書き込むように構成することができる。

【 0 0 2 6 】

【発明の実施の形態】

以下、この発明に係る S I M D 型プロセッサ 1 の実施の形態を図面を参照して説明する。

【 0 0 2 7 】

まず、この発明にかかるS I M D型プロセッサの全体構成について、図1に従い説明する。

【 0 0 2 8 】

この発明のS I M D型プロセッサ1は、図1に示すように、グローバルプロセッサ2、本実施形態では256組の後述するプロセッサエレメント3aからなるプロセッサエレメントブロック3と、インターフェース4から構成される。インターフェース4はグローバルプロセッサ2の命令に基づき、イメージスキャナなどの外部入力部から演算対象となるデータをプロセッサ内部の入出力用のレジスタファイル31に与えるとともに、演算処理されたデータをレジスタファイル31からプリンタなどの外部出力部へ転送するものである。

【 0 0 2 9 】

この外部入出力装置は、ディジタル画像データなどの演算データを入出力するものである。外部入力装置としては、イメージスキャナや画像が格納された画像メモリがあり、外部出力装置としては画像データを印字するプリンタ、データを格納する画像メモリなどがある。

【 0 0 3 0 】

グローバルプロセッサ2は、いわゆるS I S D (Single Instruction Stream Single Data Stream) タイプのプロセッサであり、プログラムRAMとデータRAMを内蔵し、プログラムを解読し、各種制御信号を生成する。この制御信号は内蔵する各種ブロックの制御以外にもレジスタファイル31、演算アレイ36に供給される。また、GP (グローバルプロセッサ) 命令実行時は内蔵する汎用レジスタ、ALU (算術論理演算器) 等を使用して各種演算処理、プログラム制御処理を行う。

【 0 0 3 1 】

レジスタファイル31はPE (プロセッサエレメント) 命令で処理されるデータを保持している。このPE命令はS I M D (Single Instruction Stream Multiple Data Stream) タイプの命令であり、レジスタファイル31に保持されている複数のデータを同時に同じ処理を行う。このレジスタファイル31からのデータの読み出し／書き込みの制

御はグローバルプロセッサ 2 からの制御によって行われる。読み出されたデータは演算アレイ 3 6 に送られ、演算アレイ 3 6 での演算処理後にレジスタファイル 3 1 に書き込まれる。

【 0 0 3 2 】

また、レジスタファイル 3 1 はプロセッサ外部からのアクセスが可能であり、グローバルプロセッサ 2 の制御とは別に外部から特定のレジスタを読み出し／書き込みが行われる。

【 0 0 3 3 】

演算アレイ 3 6 にて P E 命令の演算処理が行われる。この処理の制御はすべてグローバルプロセッサ 2 から行われる。

【 0 0 3 4 】

次に、図 2 を参照して、S I M D 型プロセッサ 1 のレジスタファイル 3 1 へのデータの読み出し／書き込みの一例につき説明する。

【 0 0 3 5 】

グローバルプロセッサ 2 にはこのプロセッサのプログラム格納用のプログラム R A M 2 1 と演算データ格納用のデータ R A M 2 4 が内蔵されている。さらに、プログラムのアドレスを保持するプログラムカウンタ (P C) 、演算処理のデータ格納のための汎用レジスタである G 0 ～ G 3 レジスタ、レジスタ退避、復帰時に退避先データ R A M のアドレスを保持しているスタックポインタ (S P) 、サブルーチンコール時にコール元のアドレスを保持するリンクレジスタ (L S) 、同じく I R Q 時と N M I 時の分岐元アドレスを保持する L I 、 L N レジスタ、プロセッサの状態を保持しているプロセッサステータスレジスタ (P) のレジスタ群 2 5 が内蔵されている。さらに、グローバルプロセッサ 2 は、プログラム R A M 2 1 に基づきグローバルプロセッサ 2 、プロセッサエレメントブロック 3 、インタフェース 4 を制御するシーケンスユニット 2 2 を備える。

【 0 0 3 6 】

また、グローバルプロセッサ 2 は、これらのレジスタ群 2 5 と図示していない命令デコーダ、算術論理演算器 2 3 (以下、「 A L U 2 3 」という。) 、図示していないメモリ制御回路、割り込み制御回路、外部 I / O 制御回路、 G P 演算制

御回路を使用して G P 命令の実行が行われる。

【 0 0 3 7 】

また、P E 命令実行時は命令デコーダ、図示していないレジスタファイル制御回路、P E 演算制御回路を使用して、レジスタファイル 3 1 の制御と演算アレイ 3 6 の制御を行う。

【 0 0 3 8 】

また、この実施形態では、後述するように、グローバルプロセッサ 2 の命令に従いテーブル R A M から複数のプロセッサエレメント 3 a にデータが転送可能に構成されている。

【 0 0 3 9 】

上記したように、シーケンスユニット 2 2 は、プロセッサエレメントブロック 3 を構成するレジスタファイル 3 1、及び演算アレイ 3 6 を制御する。

【 0 0 4 0 】

この演算アレイ 3 6 は、マルチプレクサ 3 2、シフト拡張回路 3 3、算術論理演算器 3 4（以下、「A L U 3 4」という）、及び A レジスタ 3 5 a 及び F レジスタ 3 5 b を備える。なお、この図 2 には記載していないが、この実施形態においては、後述するように、比較手段としての、条件レジスタ及び条件選択レジスタを備える。

【 0 0 4 1 】

さらに、このシーケンスユニット 2 2 は、インタフェース 4 に対してデータ転送のための動作設定用データ及びコマンド等を送る。インタフェース 4 は、シーケンスユニット 2 2 の動作設定用データ及びコマンドに基づき、プロセッサエレメント 3 a のアドレス指定のためのアドレス制御信号、プロセッサエレメント 3 a を構成するレジスタ 3 1 b にデータのリード／ライトを指示するためのリード／ライト制御信号、クロック信号を与えるためのクロック制御信号を生成する。

【 0 0 4 2 】

ここで、リード／ライト制御信号のうちライト制御信号とは、演算処理されるデータをデータバス 4 1 d より取得して、プロセッサエレメント 3 a のレジスタ 3 1 b に保持させるための信号をいう。一方、リード／ライト制御信号のうちリ

ード制御信号とは、プロセッサエレメント 3 a のレジスタ 3 1 b が保持している演算処理されたデータを、データバス 4 1 d へ与えるようレジスタ 3 1 b に指示するための信号をいう。

【 0 0 4 3 】

インタフェース 4 は、グローバルプロセッサ 2 からのコマンドを受けて、プロセッサエレメントブロック 3 を構成するプロセッサエレメント 3 a のアドレスを指定する信号（以下、「アドレス指定信号」という。）を作成し、アドレスバス 4 1 a を介してプロセッサエレメント 3 a のレジスタコントローラ 3 1 a へ送る。また、インタフェース 4 は、後述するように、プロセッサエレメント 3 a を構成するレジスタ 3 1 b に対して、データのリード／ライトを指示するための信号（以下、「リード／ライト指示信号」という。）を、リード／ライト信号線 4 1 b を介してプロセッサエレメント 3 a の後述するレジスタコントローラ 3 1 a へリード／ライト信号が与えられる。

【 0 0 4 4 】

また、インタフェース 4 は、クロック信号線 4 1 c を介してプロセッサエレメント 3 a の後述するレジスタコントローラ 3 1 a へクロック信号を与える。

【 0 0 4 5 】

さらに、外部入出力データバスからは、上述したように、SIMD 型プロセッサ 1 の外部に設けられたイメージスキャナ等で読み込んだデータを、本実施形態では 8 ビットの平行データとして、インタフェース 4 に与える。この 8 ビットのデータは、データバス 4 1 d に与えられる。この 8 ビットの平行データについては、データに応じて適宜変更しても問題ない。このデータバス 4 1 d は、レジスタ 3 1 b に保持されている演算処理されたデータが、SIMD 型プロセッサ 1 の外部に転送される時にも使用される。

【 0 0 4 6 】

また、レジスタ群 2 5 は、プロセッサエレメントブロック 3 の後述するレジスタ 3 5 に接続されており、このレジスタ 3 5 との間でシーケンスユニット 2 2 の制御によりデータの交換が行われる。

【 0 0 4 7 】

プロセッサエレメントブロック3は、図2に示すように、レジスタファイル31、マルチプレクサ32、シフト・拡張回路33、算術論理演算器34（以下、「ALU34」という。）、レジスタ35a、35bを一単位とする複数のプロセッサエレメント3aを備える。レジスタファイル31には、1つのプロセッサエレメント3a単位に8ビットのレジスタが32本内蔵されており、本実施形態では256のプロセッサエレメント分の組がアレイ構成になっている。レジスタファイル31は1つのプロセッサエレメント（PE）3aごとにR0、R1、R2、... R31と呼ばれているレジスタが内蔵されている。それぞれのレジスタファイル31は演算アレイ36に対して1つの読み出しポートと1つの書き込みポートを備えており、8ビットのリード／ライト兼用のバスで演算アレイ36からアクセスされる。32本のレジスタの内、24本はプロセッサ外部からアクセス可能であり、外部からクロックとアドレス、リード／ライト制御を入力することで任意のレジスタを読み書きできる。

【0048】

レジスタの外部からのアクセスは1つの外部ポートで各プロセッサエレメント3aの1つのレジスタがアクセス可能であり、外部から入力されたアドレスでプロセッサエレメントの番号（0～255）を指定する。したがって、レジスタアクセスの外部ポートは全部で24組搭載されている。

【0049】

本実施形態では、プロセッサエレメント3aの数を256個として説明するが、これに限定されるものでなく適宜変更して使用してもよい。このプロセッサエレメント3aには、グローバルプロセッサ2のシーケンスユニット22により、インタフェース4に近い順に0から255までのアドレスが割り付けられる。

【0050】

プロセッサエレメント3aのレジスタファイル31は、レジスタコントローラ31a、2種類のレジスタ31b、31cを備える。本実施形態では、図2に示すように、一単位のプロセッサエレメント3a毎に、レジスタコントローラ31aとレジスタ31bとを24組備え、さらにレジスタ31cを8個備えている。図2中の1プロセッサエレメントとは1つのプロセッサエレメント3aを表して

いる。ここで、本実施形態では、レジスタ31b、31cを8ビットのものとして扱うが、これに限定されるものでなく適宜変更して使用してもよい。

【0051】

レジスタコントローラ31aは、図2に示すように、インタフェース4と、上述したアドレスバス41a、リード／ライト信号線41b、クロック信号線41cを介して接続されている。

【0052】

インタフェース4は、グローバルプロセッサ2からデータ転送指示を受け取ると、アドレス指定信号をアドレスバス41aを介してプロセッサエレメントブロック3へ送る。これにより、プロセッサエレメント3aがアドレス指定される。レジスタコントローラ31aは、送られてきたアドレス指定信号をデコードし、デコードしたアドレスと、自己に割り付けられたアドレスとが一致する場合には、クロック信号41cを介して送られてきたクロック信号に同期して、リード／ライト信号41bから送られてきたリード／ライト指示信号を得る。具体的には、レジスタコントローラ31aは、リード／ライト信号41bを介してリード／ライト指示信号を得る。そして、このリード／ライト指示信号はレジスタ31bに与えられる。

【0053】

レジスタコントローラ31aからプロセッサエレメント3aに対し、ライト指示信号が送られてきた場合には、プロセッサエレメント3aのレジスタ31bは、演算処理されるデータ（8ビット）をデータバス41dより取得して保持する。また、レジスタコントローラ31aからプロセッサエレメント3aに対し、リード指示信号が送られてきた場合には、プロセッサエレメント3aのレジスタ31bは、演算処理されたデータ（8ビット）をデータバス41dへ送る。

【0054】

レジスタ31bは、後述するALU34でこれから演算される外部から入力されたデータを保持したり、或いはALU34で演算処理されたデータを外部へ出力するために保持するものであり、いわゆる入力レジスタとしても、或いは出力レジスタとしても機能する。また、演算処理されるデータ、或いは演算されたデ

ータを一時的に保持するといった、後述するレジスタ 3 1 c としての機能も有する。なお、本実施形態では、レジスタ 3 1 b は 8 ビットのデータを保持できるものとして扱うが、データに応じて適宜変更しても問題ない。上述したレジスタコントローラ 3 1 a からライト指示信号が与えられると、レジスタ 3 1 b は演算処理されるデータをデータバス 4 1 d より取得して保持する。一方、レジスタコントローラ 3 1 a からリード指示信号が送られてくると、レジスタ 3 1 b は保持している演算処理されたデータをデータバス 4 1 d へ与える。このデータはインタフェース 4 から外部データバスを介して外部のプリンタなどへ転送される。

【 0 0 5 5 】

また、レジスタ 3 1 b は、本実施形態においては 8 ビットデータをパラレルで転送するデータバス 3 7 を介してマルチプレクサ 3 2 に接続されている。ALU 3 4 で演算処理されるデータ、或いは ALU 3 4 で演算処理されたデータは、このデータバス 3 7 を介して、レジスタ 3 1 b との間で転送される。この転送は、グローバルプロセッサ 2 のシーケンスユニット 2 2 からの指示によって、グローバルプロセッサ 2 に接続されたリード信号線 2 6 a、ライト信号線 2 6 b を介して行われる。具体的には、グローバルプロセッサ 2 のシーケンスユニット 2 2 から、リード信号線 2 6 a を介してリード指示信号が送られてくると、レジスタ 3 1 b は保持している演算処理されるデータをデータバスへ置く。このデータは ALU 3 4 へ送られ演算処理される。一方、グローバルプロセッサ 2 のシーケンスユニット 2 2 から、ライト信号線 2 6 b を介してライト指示信号が送られてくると、レジスタ 3 1 b はデータバス 3 7 を介して送られてきた ALU 3 4 で演算処理されたデータを保持する。

【 0 0 5 6 】

レジスタ 3 1 c は、レジスタ 3 1 b より与えられた演算処理されるデータ、或いは演算されたデータがレジスタ 3 1 b に与えられる前に、そのデータを一時的に保持するものである。さらに、この実施の形態においては、レジスタ 3 1 c は後述するように、グローバルプロセッサ 2 からのデータが与えられる。

【 0 0 5 7 】

演算アレイ 3 6 は、マルチプレクサ 3 2、シフト／拡張回路 3 3、1 6 ビット

A L U 3 4 及び 1 6 ビットのレジスタ 3 5 a、3 5 b を備えている。このレジスタは、1 6 ビットの A レジスタ 3 5 a、F レジスタ 3 5 b である。

【 0 0 5 8 】

プロセッサエレメント 3 a の命令による演算は、基本的にレジスタファイル 3 1 から読み出されたデータを A L U 3 4 の片側の入力としてもう片側にはレジスタ 3 5 の A レジスタの内容を入力として結果を A レジスタに格納する。したがって、A レジスタ 3 5 a とレジスタファイル 3 1 の R 0 ~ R 3 1 レジスタとの演算が行われることとなる。レジスタファイル 3 1 と演算アレイ 3 6 との接続に (7 t o 1) のマルチプレクサ 3 2 を置いており、プロセッサエレメント方向で左に 1、2、3 つ離れたデータと右に 1、2、3 つ離れたデータ、中央のデータを演算対象として選択している。また、レジスタファイル 3 1 の 8 ビットのデータはシフト／拡張回路 3 3 により任意ビットの左シフトして A L U 3 4 に入力される。

【 0 0 5 9 】

上記したように、マルチプレクサ 3 2 は、自己のプロセッサエレメント 3 a に備えられた上記データバス 3 7 に接続されるとともに、両隣 3 つのプロセッサエレメント 3 a に備えられたデータバス 3 7 にも接続されている。このマルチプレクサ 3 2 は 7 つのプロセッサエレメント 3 a から 1 つを選択し、その選択したプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c で保持されているデータを A L U 3 4 へ送る。或いは A L U 3 4 で演算処理されたデータを、選択したプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c へ送る。これによって、隣のプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c で保持されているデータを利用した演算処理が可能になり、S I M D 型プロセッサ 1 の演算処理能力を高めることができる。

【 0 0 6 0 】

シフト／拡張回路 3 3 は、マルチプレクサ 3 2 から送られてきたデータを所定ビットシフトして A L U 3 4 へ送る。或いは A L U 3 4 から送られてきた演算処理されたデータを所定ビットシフトしてマルチプレクサ 3 2 へ送る。

【 0 0 6 1 】

ALU34は、シフト／拡張回路33から送られてきたデータと、レジスタ35に保持されているデータとに基づき算術論理演算を行う。なお、本実施形態では、ALU34は16ビットのデータに対応できるものとして扱うが、データに応じて適宜変更しても問題ない。演算処理されたデータは、Aレジスタ35aに保持され、シフト／拡張回路33へ転送されたり、或いはグローバルプロセッサ2の汎用レジスタ25へ転送される。

【0062】

グローバルプロセッサ2からインターフェース4へはI/O用のアドレス、データ、コントロール信号がバスを介して与えられる。

【0063】

さらに、図示していない条件レジスタ(T)により、プロセッサエレメント(PE)3a毎に演算実行の有効／無効の制御をしており特定のプロセッサエレメント(PE)3aだけを演算対象として選択できるように構成している。

【0064】

上記したように、この実施形態においては、レジスタファイル31には1つのPE3a単位に8ビットのレジスタが32本内蔵されており、256PE分の組みがアレイ構成になっている。レジスタはPEごとにR0、R1、R2、...、R31と呼ばれている。それぞれのレジスタは演算アレイ36に対して1つの読み出しポートと1つの書き込みポートを備えており、8ビットのリード／ライト兼用のバス37で演算アレイからアクセスされる。32本のレジスタの内、24本(R0～R23)のレジスタ31bは、プロセッサ外部からアクセス可能であり、外部からクロックとアドレス、リード／ライト制御を入力することで任意のレジスタを読み書きできる。

【0065】

残りの8本(R24～R31)のレジスタ31cはPE演算の一時的な演算データ保存用として使用されるが、グローバルプロセッサ2のデータRAM24からのデータを書き込むこともできる。グローバルプロセッサ2からのライト制御と演算アレイ36の条件レジスタ35cの条件により、レジスタファイル31に内蔵される8本のレジスタ31cにグローバルプロセッサ2のデータRAM24

のデータを条件が成立している複数の P E 3 a に同時に書き込みが可能に構成されている。また、この実施形態では、テーブル R A M は 6 4 ビットの出力ポートを持つため 1 つの P E 3 a に対しても 8 本のレジスタ 3 1 c に同時に 6 4 ビットの書き込みが可能に構成している。

【 0 0 6 6 】

上述したように、演算アレイ 3 6 は 1 6 ビット A L U 3 4 と 1 6 ビット A レジスタ 3 5 a、F レジスタ 3 5 b を内蔵している。P E 命令による演算はレジスタファイル 3 1 から読み出されたデータもしくはグローバルプロセッサ 2 から与えられたデータを A L U 3 4 の片側の入力としてもう片側には A レジスタ 3 5 a の内容を入力として結果を A レジスタに格納する。したがって、A レジスタ 3 5 a と R 0 ~ R 3 1 レジスタ 3 1 b、3 1 c もしくはグローバルプロセッサ 2 から与えられたデータとの演算が行われることとなる。

【 0 0 6 7 】

次に、この発明の特徴であるグローバルプロセッサ 2 の命令に従いテーブル R A M のデータを条件が成立している複数の P E 3 a に同時に書き込む態様につき図 3 を参照して説明する。

【 0 0 6 8 】

レジスタファイル 3 1 の中のレジスタ 3 1 c はグローバルプロセッサ 2 のレジスタファイル制御回路 2 7 を介して、テーブル R A M 2 6 のデータが入力される。テーブル R A M 2 6 は、非線形変換処理のためのデータメモリとして用いる。このテーブル R A M 2 6 からレジスタ 3 1 c への書き込みはレジスタファイル制御回路 2 7 のライト制御信号により行われる。レジスタ 3 1 c にはライトコントロール回路 3 1 d が設けられている。このライトコントロール回路 3 1 d にライト制御信号がテーブルライト信号線 4 1 g を介して与えられる。ライトコントロール回路 3 1 d には、演算アレイ 3 6 から条件成立信号が与えられる。ライトコントロール回路 3 1 d は、ライト制御信号はレジスタ 3 1 c のライト W 1 に与えられる。

【 0 0 6 9 】

各レジスタ 3 1 c の書き込み制御を行っているライトコントロール回路 3 1 d

においては、演算アレイ 3 6 から与えられた条件成立信号が成立を示している P E 3 a のレジスタ 3 1 c にライト (W 1) 制御信号として与えられる。したがって、レジスタファイル制御回路 2 7 からは全ての P E 3 a のレジスタ 3 1 c にテーブルデータバス 4 1 e を介してからテーブル R A M 2 6 のデータを書き込むが、各 P E 3 a では条件が成立しているものはデータ (D 1) からデータが書き込まれ、不成立のものはデータが書き込まれないこととなる。

【 0 0 7 0 】

レジスタ 3 1 c は演算アレイ 3 6 とデータバス 3 7 を介してデータの転送を行うため、もう一方の出力ポートを持ち、命令によりグローバルプロセッサ 2 で作成され、リード信号線 4 1 h を介して与えられたリード (R 2) 制御信号によりデータ (D 2) からデータの転送が行われる。

【 0 0 7 1 】

図 3 では 5 個の P E 3 a …分の構成だけを図示しているが、図 2 の 2 5 6 組の P E 3 a の構成と合わせるためにはライトコントロール回路 3 1 d とレジスタ 3 1 c は 2 5 6 組み必要となる。データのビット幅もここでは 8 ビットとしているが扱う演算ビット幅により変化する。

【 0 0 7 2 】

また、テーブル R A M 2 6 は図示しないグローバルプロセッサ 2 の汎用レジスタ (G 0 ~ G 3) をアドレスのポインタとしてアドレスが指定され、同様に汎用レジスタ (G 0 ~ G 3) のデータを書き込まれることで値が設定される。

【 0 0 7 3 】

演算アレイ 3 6 には図 2 で説明したブロックが内蔵されており、A L U 3 4 の入力の片側はレジスタ (R 0 ~ R 3 1) の内容と即値データバス 4 1 f の内容が選択できるようになっている。即値データバス 4 1 f はグローバルプロセッサ 2 からデータが転送され、命令コードに組みこまれた値 (即値) もしくは汎用レジスタ (G 0 ~ G 3) の値が命令により選択されている。

【 0 0 7 4 】

さて、図 3 に示す実施の形態において非線形処理のためのテーブル変換は以下のステップにより行う。なお、演算対象データはレジスタファイル 3 1 のレジス

タ 3 1 b (図 3 では図示していない) のうちレジスタ R 0 に格納されているものとして説明する。

【 0 0 7 5 】

①図示していないレジスタファイル 3 1 のレジスタ (R 0) に格納された演算 (演算前) 対象データを各 P E 3 a のデータバス 3 7 を介してマルチプレクサ 3 2 、シフタ 3 3 、マルチプレクサ 3 9 、A L U 3 4 の経路で A レジスタ 3 5 a にロードする。

【 0 0 7 6 】

②グローバルプロセッサ 2 は即値データバス 4 1 f を介して変換前データを A L U 3 4 に入力する。A L U 3 4 のもう一方には①で格納された A レジスタ 3 5 a が入力されており、A L U 3 4 において一致演算処理を行う。一致結果は一致となっているものを条件成立として 8 ビットの条件レジスタ 3 5 c の任意の 1 ビットに格納される。

【 0 0 7 7 】

③グローバルプロセッサ 2 は変換前データに対応した変換後データが格納されているアドレスをテーブル R A M 2 6 に出力し、変換後データをテーブルデータバス 4 1 e を介して全 P E 3 a … のレジスタファイル 3 1 のレジスタ 3 1 c に書き込む。演算アレイ部では②で選択された条件レジスタ 3 5 c の任意の 1 ビットを条件選択回路 3 5 d で選択し、条件成立信号としてレジスタファイル 3 1 のライトコントロール回路 3 1 d に出力する。レジスタファイル 3 1 のレジスタ 3 1 c ではライトコントロール回路 3 1 d がライト信号と条件成立信号を受け取り、条件成立の P E 3 a だけテーブルデータバス 4 1 e の内容 (変換後データ) をレジスタ 3 1 c に書き込む。

【 0 0 7 8 】

④グローバルプロセッサ 2 は次の変換前データを準備し②～③の動作を繰り返す。変換前データの種類に応じた回数の上記処理の繰り返しでテーブル変換が終了する。この例では変換後のテーブルデータを 1 つだけ使用していたが実際には以下の処理を行い高速化を実現している。

【 0 0 7 9 】

①図示していないレジスタファイル31のレジスタ(R0)に格納された演算(演算前)対象データを各PE3a…のデータバス37を介してマルチプレクサ32、シフタ33、マルチプレクサ39、ALU34の経路でAレジスタ35aにロードする

【0080】

②グローバルプロセッサ2は即値データバス41fを介して変換前データをALU34に入力する。ALU34のもう一方には①で格納されたAレジスタ35aのデータが入力されており、ALU34において大小比較演算処理を行う。演算対象データの比較結果は大となっているものを条件成立として8ビットの条件レジスタ35cの任意の1ビットに格納される。

【0081】

③グローバルプロセッサ2は変換前データに対応した変換後データが格納されているアドレスをテーブルRAM26に出力し、変換後データをテーブルデータバス41eを介して全PE3aのレジスタファイル31のレジスタ31cに書き込む。この時、この実施の形態においては、図4に示すように、変換後データは変換前データから連続した8つの変換前データに対応したデータとして8ビットのデータが8組みのテーブルデータバス41eに出力される。この実施の形態では、それぞれの組みは各8ビット(R24~R31)のレジスタに対応して書き込まれる。演算アレイ36では②で選択された条件レジスタ35cの任意の1ビットを条件選択回路35dで選択し、条件成立信号としてレジスタファイル31の各レジスタ31cに出力する。レジスタファイル31のレジスタ31cではライトコントロール回路35dがライト信号と条件成立信号を受け取り、条件成立のPE3aだけテーブルデータバス41eの内容をレジスタ31cに書き込む、この時に書き込まれるレジスタ31cは8組み(R24~R31)同時となる。

【0082】

④グローバルプロセッサ2は変換前データに8加算を行い、次の8つ先の変換前データを準備し②~③の動作を繰り返す。

【0083】

⑤Aレジスタ35aの演算前データ下位3ビットを残して上位5ビットをマスク

するためAレジスタ35aの内容と即値7でALU34においてAND演算を行いAレジスタ35aに格納する。

【0084】

⑥Aレジスタ35aをALU34において1から7まで順次比較する。一致結果を条件レジスタ35cのT1からT7まで順次格納する。

【0085】

⑦レジスタ(R24)の値をAレジスタ35aにロードする。ついで条件レジスタ35cのT1が成立したPE3aはレジスタ(R25)の値をAレジスタ35aにロードし、条件レジスタ35cのT2が成立したPE3aはレジスタ(R26)をAレジスタ35aにロード、と順次行い条件レジスタ35cのT7が成立のPE3aはレジスタ(R31)の値をAレジスタ35aにロードする。

【0086】

以上の処理により、同時に8個の変換後データを書き込むことで、8倍の高速化が図れる。そして、8個の変換後データ中から、そのプロセッサエレメントで必要な1つのデータを選択するために、上記⑤～⑦の動作を必要とする。この処理は、上記②～③の繰り返しを終了した後の最後に1回だけ必要であり、オーバーヘッドとしては小さな値となる。ここでは α と表すと、変換前データの種類の $1/8 + \alpha$ の回数でテーブル変換が終了することになり、高速化が図れる。

【0087】

本実施形態では、変換後のデータを8組としているが実際には2、4、8から任意の組を命令により指定可能である。その場合は④の加算値は2、4、8となり、⑤のマスク値は1、3、7となり、⑥の比較は1、1～3、1～7、⑦のロードはR24～R25、R24～R27、R24～R31と変更となる。

【0088】

次に、テーブル変換に使用するレジスタ数を削減する手法につき説明する。レジスタ数を削減するためには以下のような手順で処理を行えばよい。

【0089】

①図示していないレジスタファイル31のレジスタ(R0)に格納された演算(演算前)対象データを各PE3aのデータバス37を介してマルチプレクサ32

、シフタ33、マルチプレクサ39、ALU34の経路でAレジスタ35aにロードする

【0090】

②グローバルプロセッサ2は即値データバス41fを介して変換前データをALU34に入力する。ALU34のもう一方には①で格納されたAレジスタ35aが入力されており、ALU34において大小比較演算処理を行う。比較結果は大となっているものを条件成立として8ビットの条件レジスタ37の任意の1ビットに格納される。また、条件成立のPE3aではAレジスタ35aから変換前データを引いた値を変換前データとの差分データとして一時的にレジスタ(R1)に格納する。

【0091】

③グローバルプロセッサ2は変換前データに対応した変換後データが格納されているアドレスをテーブルRAM26に出力し変換後データをテーブルデータバス41eを介して全PE3aのレジスタファイル31のレジスタ31cに書き込む。この時、図5に示すように、変換後データは変換前データに対応したデータと④で使用される次の区間の先頭の変換前データまでの傾きデータとして8ビットのデータが2組みテーブルデータバス41eに出力される、それぞれの組みは各8ビット(R24～R25)のレジスタに対応して書き込まれる。演算アレイ部36では②で選択された条件レジスタ35cの任意の1ビットを条件選択回路35dで選択し条件成立信号としてレジスタファイル31に出力する。レジスタファイル31ではライトコントロール回路31dがライト信号と条件成立信号を受け取り条件成立のPE3aだけテーブルデータバス41eの内容をレジスタ31cに書き込む、この時に書き込まれるレジスタ31cは2組み(R24～R25)同時となる。

【0092】

④グローバルプロセッサ2は次の区間の先頭の変換前データを準備し②～③の動作を繰り返す。

【0093】

⑤Aレジスタ35aに一時的に退避された差分データをレジスタ(R1)からロ

ードし、傾きデータ (R 2 5) と A L U 3 4 で掛け算を行い A レジスタ 3 5 a に格納する。

【 0 0 9 4 】

⑥ A レジスタ 3 5 a に変換後データ (R 2 4) を加算する。

【 0 0 9 5 】

上記した方式は、図 6 に示すように、変換前データを任意の区間に分割し、その区間内は共通の一次式で近似して処理を行うものである。すなわち、図 6 に示すように、変換前データと変換後データの非線形曲線の関係からそれぞれ近似する一次式 (傾き) で表せる区間に分割する。図 6 に示す非線形処理では、4 つの区間に分割する。そして、その区間内は共通の一次式を用いて処理を行う。変換前データが区間 1 の時は、区間 1 の先頭の変換後データと傾きデータを用いて変換後データを算出し、変換前データが区間 2 の時は、区間 2 の先頭の変換後データと傾きデータを用いて変換後データを算出する。以後それぞれの区間でその区間の先頭の変換後データと傾きデータを用いて、近似的に非線形処理を行ってゆく。それぞれの区間でこのような手順を用いることで使用するレジスタが 2 つとなりレジスタ数が削減できるようになる。また、区間を少なく設定できれば変換テーブルの削減、処理ステップ数の削減も可能となる。

【 0 0 9 6 】

次に、この発明の他の実施形態につき図 7 に従い説明する。なお、基本的な構成は図 3 に示す実施形態と同様の構成であり、同一部分には、同一符号を付し、説明の重複を避けるために、ここではその説明を割愛する。

【 0 0 9 7 】

図 7 に示す実施形態は、レジスタファイル 3 1 のテーブル変換に用いる 8 本 (R 2 4 ~ R 3 1) のレジスタファイルの構成を変更したものである。図 3 の基本構成のレジスタ 3 1 c からライト信号 (W 2) を追加したレジスタ 3 1 0 c にその構成を変更したものである。そして、レジスタ 3 1 0 c のデータ (D 2) には、データバス 3 7 からデータが入出力可能に構成されている。ライト信号 (W 2) には、レジスタファイル制御回路 2 7 よりライト信号線 4 1 i から演算アレイ 3 6 からのデータを書き込む場合にライト信号が与えられる。このように、演算

アレィ 3 6 からのデータをレジスタ 3 1 0 c 書き込めるようにしている。

【 0 0 9 8 】

この構成によりこのレジスタ 3 1 0 c では演算結果の保持等が可能となり、テーブル変換を行わない場合には通常の演算用のレジスタとしても使用が可能となる。テーブル変換を行う場合には、上述した図 4 に示した処理、あるいは図 5 に示した処理を行うために、レジスタ 3 1 0 c が使用される。

【 0 0 9 9 】

次に、この発明のさらに異なる実施形態につき図 8 に従い説明する。なお、基本的な構成は図 3 に示す実施形態と同様の構成であり、同一部分には、同一符号を付し、説明の重複を避けるために、ここではその説明を割愛する。

【 0 1 0 0 】

この実施形態は、図 3 の基本構成からテーブル RAM 2 6 の出力データをマルチプレクサ 2 8 により選択して、グローバルプロセッサ 2 の演算部に出力するように構成したものである。この構成によりテーブル RAM 2 6 のデータをグローバルプロセッサ 2 の演算データとして使用可能となり、テーブル RAM 2 6 を通常のデータ RAM 2 4 と共用することが可能となる。

【 0 1 0 1 】

テーブル RAM 2 6 の出力データをマルチプレクサ 2 8 により選択している理由はテーブル RAM 2 6 が 8 組みの変換後データを出力可能な場合には合計で 6 4 ビット（8 ビットの 8 組み）の出力ポートが RAM には必要である。上述したグローバルプロセッサ 2 では 1 6 ビットまでしか処理できないため、この中の 1 6 ビット（8 ビット 2 組み）を選択しているためである。グローバルプロセッサ 2 の演算データとして別途 1 6 ビットの出力ポートを RAM に追加することでも実現可能であるが、RAM が 2 ポート構成となりコストの増加となる問題がある。

【 0 1 0 2 】

なお、図 8 に示す実施形態では、テーブル変換に用いるレジスタファイルは図 3 に示すレジスタ 3 1 c の構成のものを示しているが、図 7 に示す構成のレジスタ 3 1 0 c を用いることはもちろん可能である。

【 0 1 0 3 】

次に、この発明のさらに異なる実施形態につき図 9 に従い説明する。なお、基本的な構成は図 3 に示す実施形態と同様の構成であり、同一部分には、同一符号を付し、説明の重複を避けるために、ここではその説明を割愛する。

【 0 1 0 4 】

この実施の形態においては、レジスタファイル 3 1 のレジスタの中で、外部からデータが入力可能なレジスタの数を変更可能に構成したものである。この実施の形態では、2 組のレジスタを外部からデータを入力可能なレジスタとして用いる場合と、テーブル変換用レジスタに使用する場合とが選択できるように構成している。このため、これらレジスタ 3 1 c、3 1 c は、マルチプレクサ 4 2、4 3 により、レジスタ 3 1 c に与えるデータを外部入力用からのデータバス 4 1 d を用いるか、テーブルバス 3 1 d を用いるかが選択される。このとき、レジスタファイル制御信号もマルチプレクサ 4 2、4 3 で選択される。

【 0 1 0 5 】

尚、上記した実施形態においては、兼用するレジスタの組は 2 組にしているが、用途に応じてその個数は変更できる。

【 0 1 0 6 】

このように構成することにより、SIMD 型プロセッサの使用用途に応じて最適なレジスタファイル構成が容易に構成することができる。

【 0 1 0 7 】

上述した実施形態においては、レジスタファイル 3 1 の外部入出力する方式としてアドレッシング方式を採用し、レジスタファイル 3 1 をプロセッサ外部からアクセスし、外部からクロックとアドレス、リード/ライト制御を入力することで任意のレジスタを読み書きできるように構成した場合につき説明したが、この発明は他の方式、例えば、外部入出力にシフトレジスタ方式を用いたプロセッサにも適用できる。図 1 0 にシフトレジスタ方式を用いた場合の基本構成を示す。

【 0 1 0 8 】

図 1 0 に示すように、入力画像データを一時的に蓄積する入力シフトレジスタと、非線形処理された画像データが並列入力される外部出力シフトレジスタとを

備える。入力シフトレジスタには、イメージスキャナなどから送られる外部画像データが外部データバスから入力シフトレジスタに与えられる。入力シフトレジスタには並列 n ビットデータがビット毎に順次シフトされる。この入力シフトレジスタの段数は、プロセッサエレメント 3 a の組数の段数を有し、この実施形態では 2 5 6 段の段数を有する。入力シフトレジスタに蓄積されたデータはレジスタファイル 3 1 へ移される。レジスタファイル 3 1 への書き込み動作は入力シフトレジスタの各段において同時に行われる。このように、レジスタファイル 3 1 にデータが格納されると、上述したこの発明による手法による非線形処理が演算アレイで行われる。

【 0 1 0 9 】

非線形処理が行われたレジスタファイル 3 1 に格納されたデータは出力シフトレジスタの各段に転送される。この出力シフトレジスタのレジスタ段数はプロセッサエレメント 3 a の組数分だけであり、レジスタファイル 3 1 からデータが出力シフトレジスタの各段に同時に転送される。この出力シフトレジスタに与えられるクロックでデータがシリアルに出力される。そして、出力されたデータはバッファメモリなどに一時格納され、プリンタなどの外部出力装置に与えられる。

【 0 1 1 0 】

このように、上記したシフトレジスタ方式においても、非線形処理において、この発明を適用すれば、効率よく非線形処理が行える。

【 0 1 1 1 】

次に、この発明の SIMD 型プロセッサをディジタル複写機などの画像処理装置に用いた場合につき図 1 1 ないし図 1 3 を参照して説明する。

【 0 1 1 2 】

イメージスキャナで読み取られた画像データ (n ビットのディジタル画像データ) が外部データバスから FIFO 7 に与えられる。FIFO 7 に 1 走査ライン分のデータが格納されると、SIMD 型プロセッサ 1 のグローバルプロセッサ 2 からの制御信号により、この実施の形態では 2 5 6 個の画像データがレジスタファイル 3 1 へ与えられる。

【 0 1 1 3 】

上記したように、この実施形態においては、レジスタファイル 3 1 には 1 つの P E 単位に 8 ビットのレジスタが 3 2 本内蔵されており、2 5 6 P E 分の組みがアレイ構成になっている。レジスタは P E ごとに R 0、R 1、R 2、... R 3 1 と呼ばれている。それぞれのレジスタは演算アレイに対して 1 つの読み出しポートと 1 つの書き込みポートを備えており、8 ビットのリード／ライト兼用のバス 3 7 で演算アレイからアクセスされる。3 2 本のレジスタの内、2 4 本（R 0 ～ R 2 3）は、プロセッサ外部からアクセス可能であり、外部からクロックとアドレス、リード／ライト制御を入力することで任意のレジスタを読み書きできる。

【 0 1 1 4 】

残りの 8 本（R 2 4 ～ R 3 1）のレジスタは P E 演算の一時的な演算データ保存用として使用されるが、グローバルプロセッサ 2 の命令に従いテーブル R A M からのデータを書き込むこともできる。このデータの書き込みは、グローバルプロセッサ 2 からのライト制御と演算アレイ 3 6 の条件レジスタ 3 5 c の条件により、レジスタファイル 3 1 に内蔵される 8 本のレジスタにテーブル R A M のデータを条件が成立している複数の P E に同時に書き込みが可能に構成されている。

【 0 1 1 5 】

演算アレイ 3 6 は 1 6 ビット A L U と 1 6 ビット A レジスタ、F レジスタを内蔵している。P E 命令による演算はレジスタファイル 3 1 から読み出されたデータもしくはグローバルプロセッサ 2 から与えられたデータを A L U の片側の入力としてもう片側には A レジスタの内容を入力として結果を A レジスタに格納する。したがって、A レジスタ 3 5 a と R 0 ～ R 3 1 レジスタもしくはグローバルプロセッサ 2 から与えられたデータとの演算が行われることとなる。

【 0 1 1 6 】

F I F O 7 より転送され、レジスタファイル 3 1 に格納された画像データは、前述した図 3 等に応示実施形態に基づき非線形処理のためのテーブル変換が行われる。すなわち、レジスタファイル 3 1 のレジスタ（R 0）に格納された演算（演算前）対象データを演算アレイ 3 6 で一致演算、或いは大小比較により条件成立の有無を判断し、条件が成立している各 P E 3 a にのみ変換後データが書き込

まれる。すなわち、グローバルプロセッサ 2 が変換前データに対応した変換後データが格納されているアドレスをテーブル RAM 2 6 に出力して、変換後データをテーブルデータバスを介して全 P E 3 a のレジスタファイル 3 1 のレジスタ 3 1 c に与える。そして、ライト信号と条件成立信号を受け取り、条件成立の P E 3 a だけテーブルデータバスの内容をレジスタに書き込む。そして、上述した図 3 等 に示す実施形態に基づきテーブル変換が終了する。

【 0 1 1 7 】

非線形処理が行われたレジスタファイル 3 1 に格納されたデータ F I F O 8 に転送される。F I F O 8 は 1 走査ライン分のデータを格納すると、データをプリンタなどの外部出力装置に転送する。

【 0 1 1 8 】

また、画像データを予めラインメモリ 9 に蓄えておき、ラインメモリ 9 からプロセッサエレメントブロック 3 にデータを転送し、非線形処理を行ったデータをラインメモリ 9 に格納するように構成しても良い。このときのデータ転送はメモリコントローラ 9 1 を介して RAM 9 2 へ入出力される。

【 0 1 1 9 】

図 1 2 に F I F O 7 の一例を図 1 3 に F I F O 8 の一例をそれぞれ示す。これら F I F O 7, 8 はメモリコントローラ 7 2 (8 2)、バッファメモリ 7 1 (8 1) を備える。外部データ入力はメモリコントローラ 7 2 を介してバッファメモリ 7 1 へデータが格納され、1 ライン分のデータをバッファメモリ 7 1 に格納すると、メモリコントローラ 7 2 からプロセッサエレメントブロック 3 へデータを転送する。外部データ出力はプロセッサエレメントブロック 3 からメモリコントローラ 7 2 を介してバッファメモリ 7 1 へデータが格納され、1 ライン分のデータをバッファメモリ 7 1 に格納すると、メモリコントローラ 7 2 から外部へデータを出力する。

【 0 1 2 0 】

上記した画像処理装置は、イメージスキャナで取り込んだ画像データをプリンタ部へ出力する場合に付き説明したが、これに限らずデジタルビデオ、ディジタルカメラなどのディジタル画像を非線形処理する場合にもこの発明は適用できる

。また、外部出力もプリンタに限らず、ディスプレイへの出力、データ転送などの方式で出力する場合でもこの発明は適用できる。

【0121】

【発明の効果】

以上説明したように、この発明によれば、テーブルメモリが1つで、かつ特別な比較用の回路を必要とせずコストを最小限とできる。また、処理時間も変換後データを取り込むレジスタの数に応じて削減される。

【0122】

また、前記プロセッサエレメントに内蔵されるテーブルメモリからのデータを同時に格納することが可能な複数のレジスタは各プロセッサエレメントにおける演算対象データとしても使用可能に構成することで、変換後データを取り込むレジスタに演算部で使用されるデータが自由に読み書きできるため、演算処理用レジスタと変換用レジスタのそれぞれの必要数を自由に選択できるようになる。

【0123】

また、複数のレジスタに格納するテーブルメモリのデータはグローバルプロセッサに内蔵されるメモリに格納されており、このメモリはグローバルプロセッサ演算でのデータ保存用のメモリにも使用可能に構成することで、テーブルRAMがデータRAMとして使用できるようになるため、テーブルRAM、データRAMの必要容量を自由に選択できるようになる。

【図面の簡単な説明】

【図1】

この発明にかかるSIMD型プロセッサの全体構成を示すブロック図である。

【図2】

この発明が適用されるSIMD型プロセッサの内部構成を示すブロック図である。

【図3】

この発明の実施の形態にかかるSIMD型プロセッサの内部構成を示すブロック図である。

【図4】

この発明の実施の形態における変換後データの転送を示す説明図である。

【図 5】

この発明の他の実施の形態における変換後データの転送を示す説明図である。

【図 6】

非線形処理を区間に分割して処理する状態を示す図である。

【図 7】

この発明の他の実施の形態にかかる S I M D 型プロセッサの内部構成を示すブロック図である。

【図 8】

この発明の異なる実施の形態にかかる S I M D 型プロセッサの内部構成を示すブロック図である。

【図 9】

この発明のさらに異なる実施の形態にかかる S I M D 型プロセッサの内部構成を示すブロック図である。

【図 1 0】

この発明が適用される他の S I M D 型プロセッサの全体構成を示すブロック図である。

【図 1 1】

この発明にかかる画像処理装置を示すブロック図である。

【図 1 2】

入力用 F I F O の一例を示すブロック図である。

【図 1 3】

出力用 F I F O の一例を示すブロック図である。

【符号の説明】

- 2 グローバルプロセッサ
- 3 プロセッサエレメントブロック
- 3 a プロセッサエレメント
- 2 6 テーブル R A M
- 2 7 レジスタファイル制御回路

3 1 レジスタファイル

3 1 d ライトコントロール回路

3 6 演算アレイ

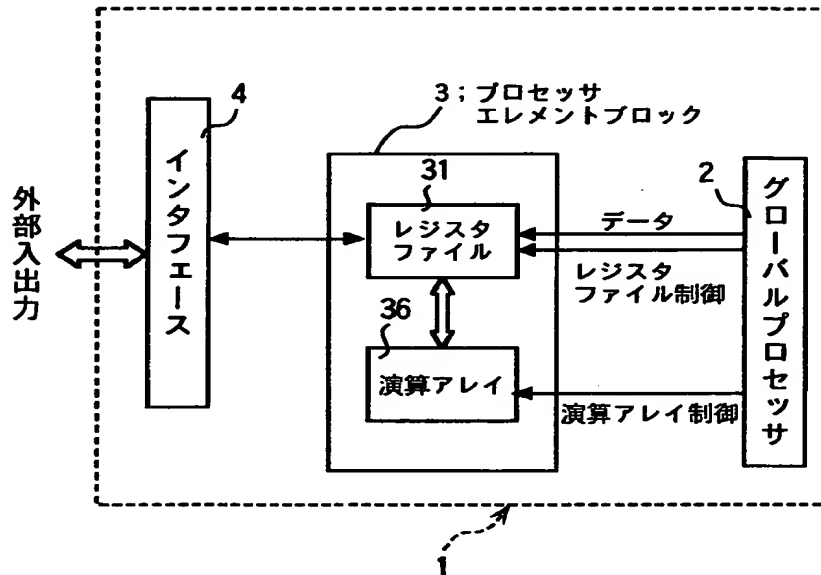
3 5 c 条件レジスタ

3 5 d 条件選択回路

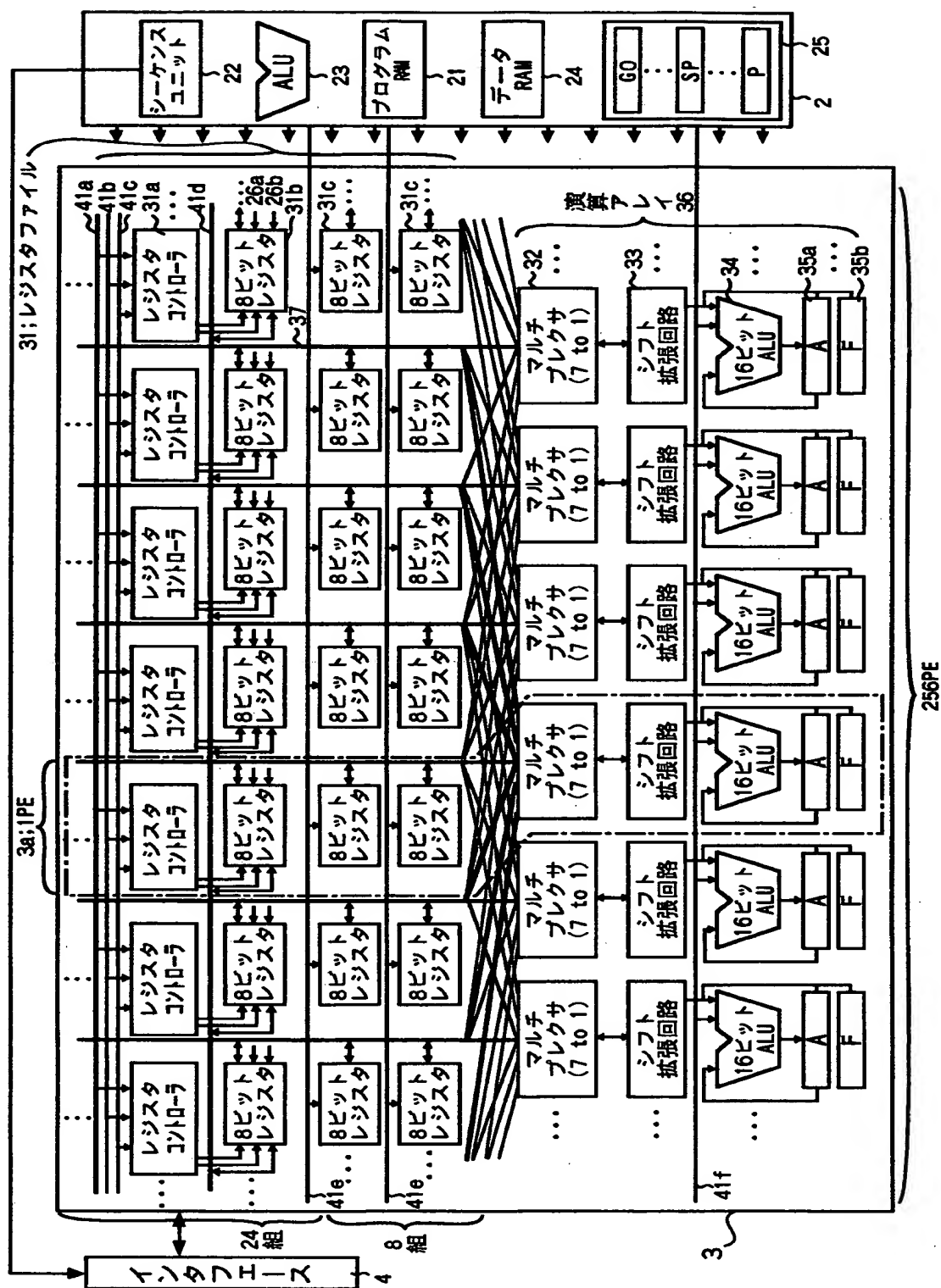
【書類名】

図面

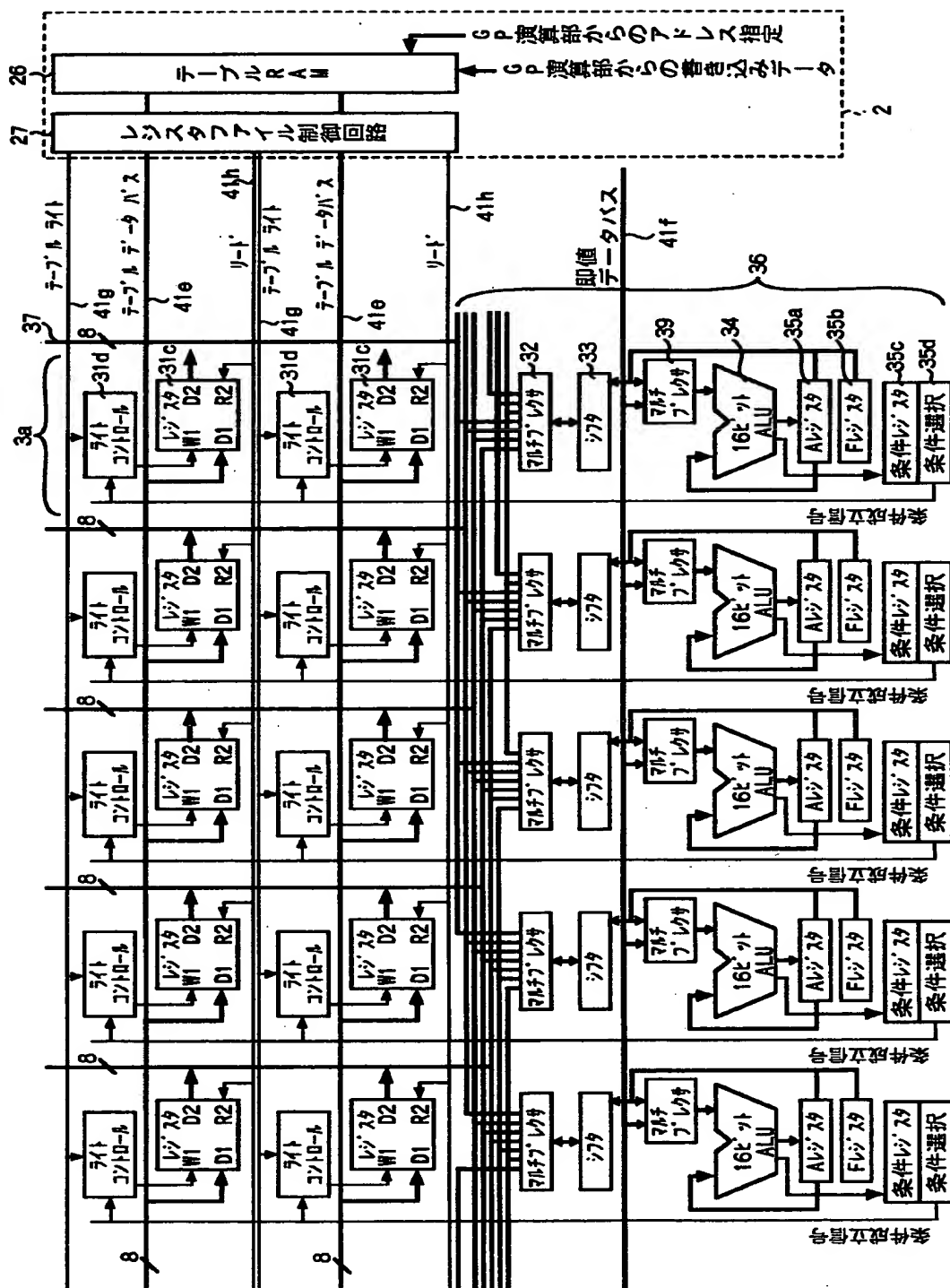
【図 1】



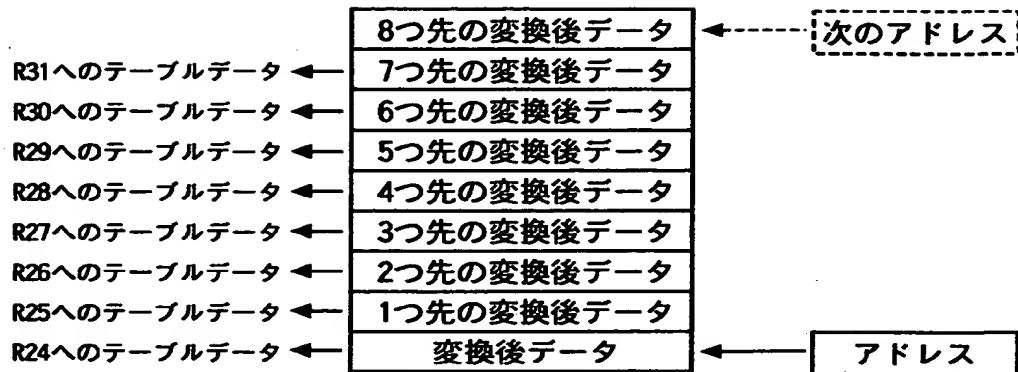
【図 2】



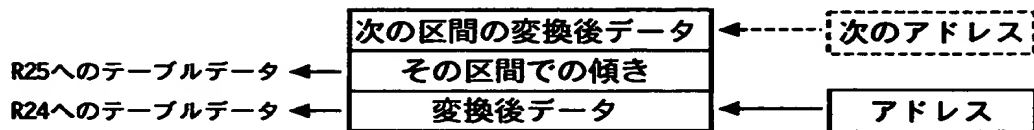
【図 3】



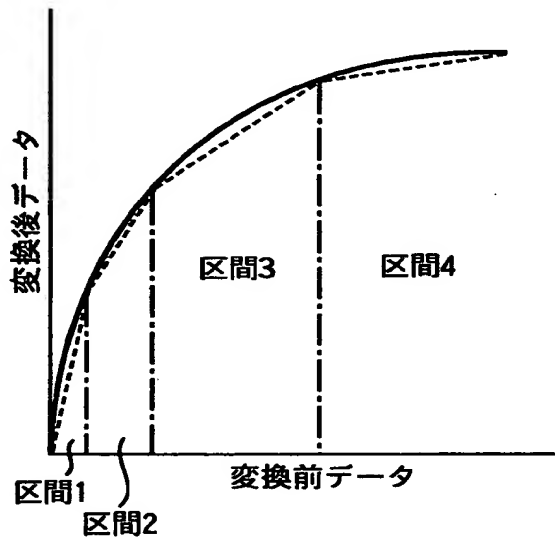
【図 4】



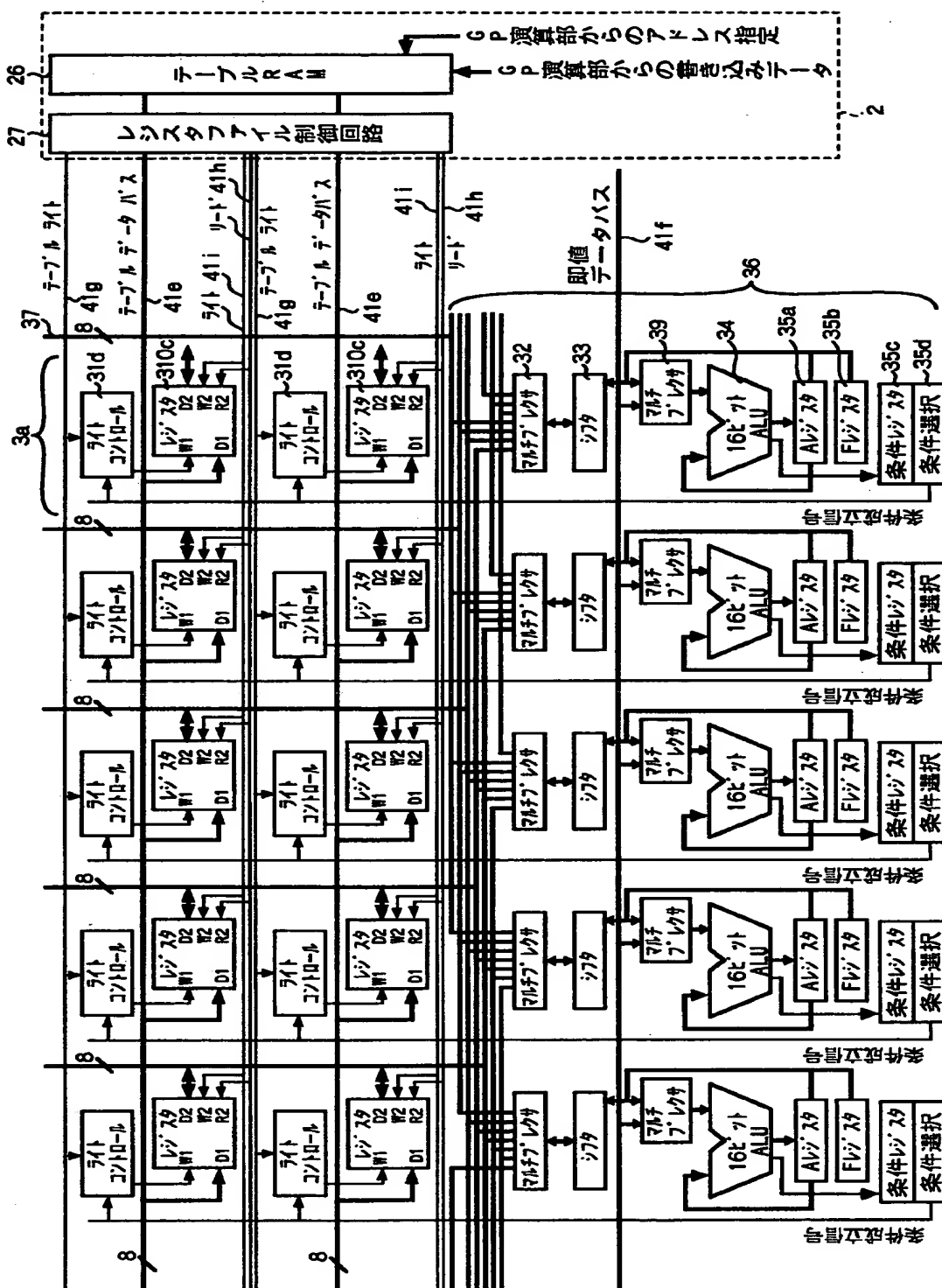
【図 5】



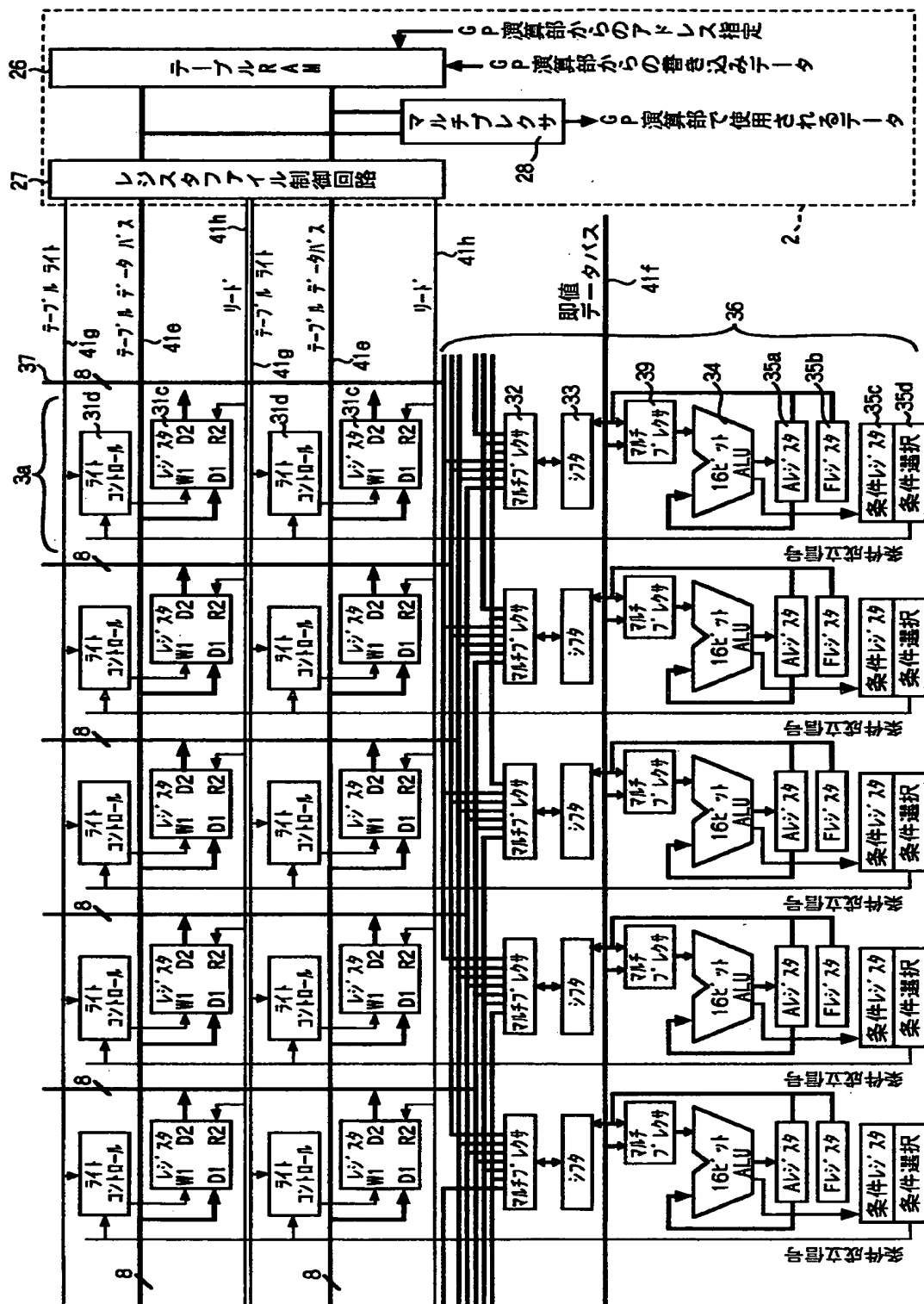
【図 6】



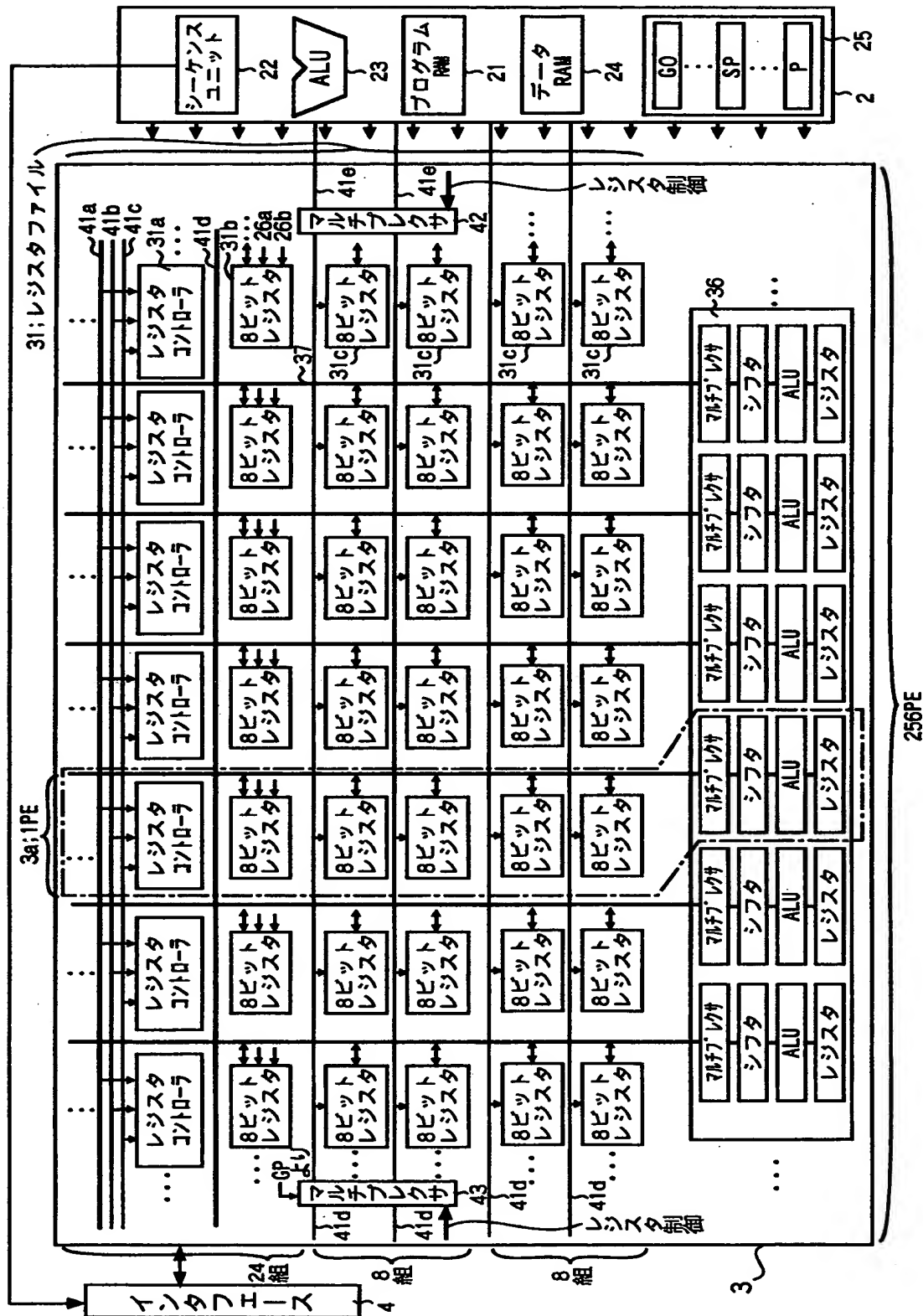
【图 7】



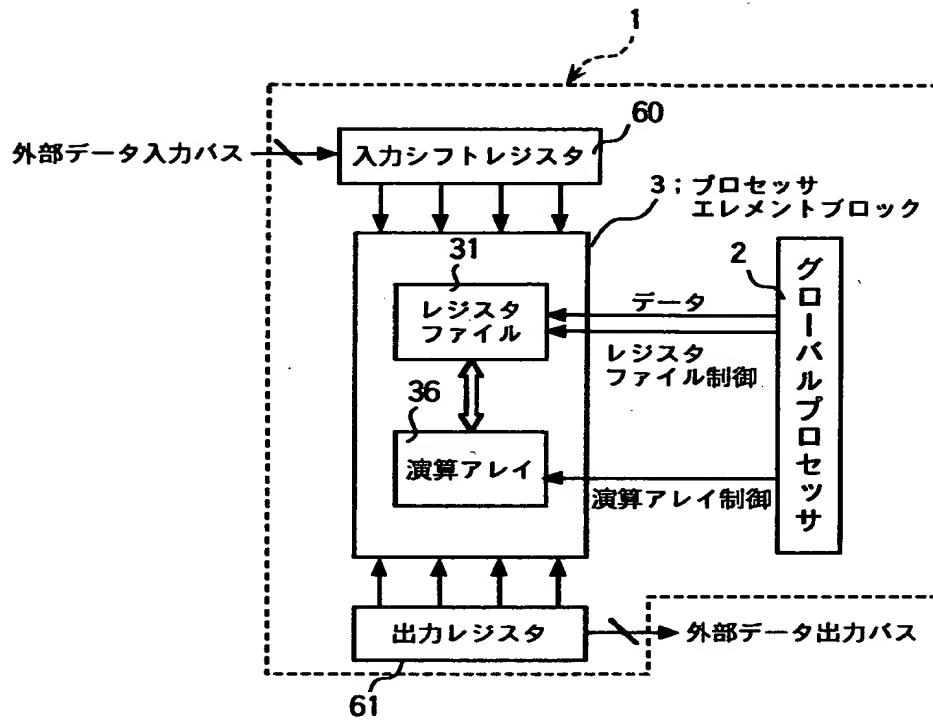
【図 8】



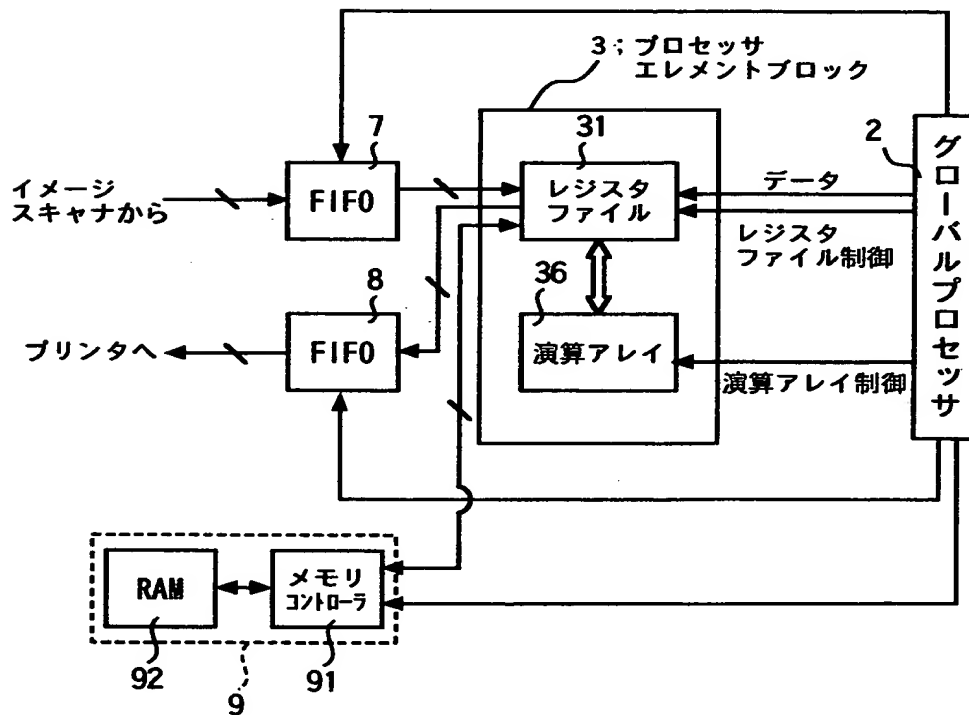
【図 9】



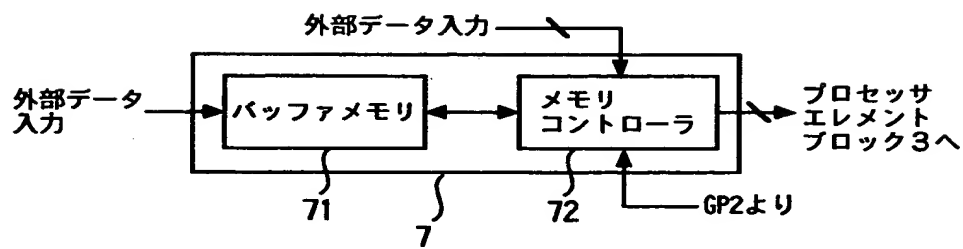
【図10】



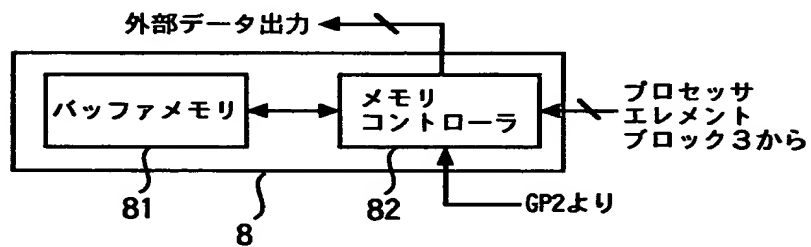
【図11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 この発明は、非線形処理を効率よく実現することができる並列プロセッサを提供することを課題とする。

【解決手段】 プログラムを解読しプロセッサ全体を制御するグローバルプロセッサ2と、複数のデータを処理するためにレジスタファイルと演算アレイから構成されるプロセッサエレメントを複数個備えたプロセッサエレメントブロック3と、を有するSIMD型プロセッサにおいて、各プロセッサエレメント3aは、演算部36と、複数のレジスタを有するレジスタファイル31と、条件レジスタ35cと、条件選択回路35dと、を備え、条件が成立信号が出力されている複数のプロセッサエレメントのレジスタ31cに、テーブルRAM26からの変換後データを同時に格納させる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー